

具有 5A 峰值驱动电流的双通道低侧栅极驱动芯片

概述

FAN3224是一款双通道、高速低侧栅极驱动芯片，该芯片可以作为大功率MOSFET和IGBT的驱动开关。

FAN3224的输出可以提供高达5A拉电流和5A灌电流的峰值电流脉冲，且输入信号到输出信号的传播延时极小，典型值为22ns。此外，该芯片的两个通道之间的传播匹配延时小于2ns，可将两个通道并联使用。

该芯片的输入管脚INA、INB兼容5V和3.3V信号控制，具有良好的抗干扰性。

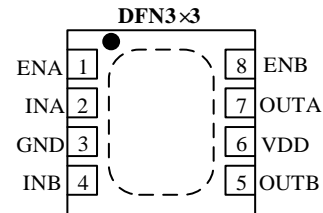
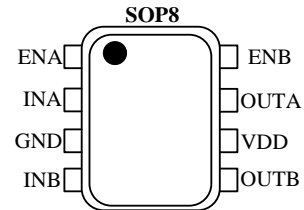
特性

- 宽电源电压范围：4.5V~30V
- 两个独立的栅极驱动通道
- 5A峰值拉电流和灌电流
- 快速传播延时（典型值22ns）
- 快速上升和下降时间（典型值7ns）
- 两通道间延时匹配时间典型值为1ns
- 针对更高的驱动电流，两个输出可以并联使用
- 当输入管脚悬空时，输出保持为低电平
- 采用DFN3×3和SOP8封装

应用领域

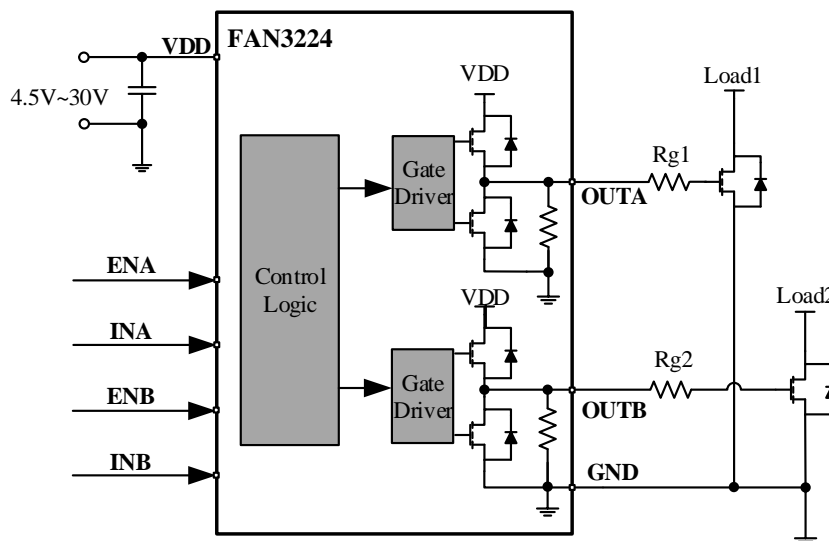
- 开关模式电源
- 电机控制
- 功率MOSFET和IGBT栅极驱动器

封装/订购信息



订购代码	封装
FAN3224TM	SOP8
FAN3224TFN	DFN3×3

典型电路



管脚定义

管脚名	管脚标号	管脚功能描述
ENA	1	A通道使能信号，ENA="L"，A通道输出低；ENA="H"，A通道输出见真值表
INA	2	A通道输入信号，控制OUTA
GND	3	地
INB	4	B通道输入信号，控制OUTB
OUTB	5	B通道驱动输出
VDD	6	电源
OUTA	7	A通道驱动输出
ENB	8	B通道使能信号，ENB="L"，B通道输出低；ENB="H"，B通道输出见真值表

真值表

输入				输出	
ENA	ENB	INA	INB	OUTA	OUTB
H/F	H/F	L	L	L	L
H/F	H/F	L	H	L	H
H/F	H/F	H	L	H	L
H/F	H/F	H	H	H	H
L	L	×	×	L	L
× ⁽²⁾	×	F ⁽¹⁾	F	L	L

备注：(1) 浮置状态；(2) 任何状态

功能框图

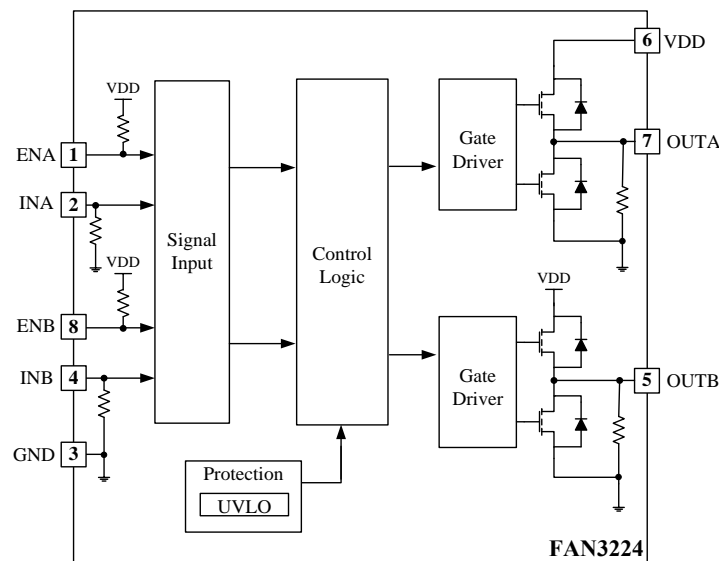


图 1 FAN3224 功能框图

极限工作范围

VDD脚耐压.....	-0.3~32V	封装热阻 $\theta_{JC}^{(1)}$ (DFN3×3)	45 °C /W
ENA, ENB, INA, INB脚耐压.....	-0.3~32V	封装热阻 $\theta_{JC}^{(1)}$ (SOP8)	40 °C /W
OUTA, OUTB脚耐压.....	-0.3~32V	人体模式ESD 能力 ⁽²⁾ (HBM)	±2kV
存储温度范围.....	-55~150 °C	人体模式ESD 能力 ⁽³⁾ (CDM)	±1kV
管脚焊接温度 (10秒)	260 °C		

备注: (1) 芯片到塑封料顶层表面的热阻;

(2) 产品委托第三方严格按照芯片级 ESD 标准(ESDA/JEDEC JS-001-2017)中的测试方式和流程进行测试;

(3) 产品委托第三方严格按照芯片级 ESD 标准(ESDA/JEDEC JS-002-2018)中的测试方式和流程进行测试。

适用工作范围

VDD 电压.....	4.5~30V	ENA, ENB, INA, INB电压.....	0~30V
OUTA, OUTB脚耐压.....	0~30V	工作环境温度.....	-40~125 °C

电气特性

($T_A = 25^\circ\text{C}$, $V_{DD} = 12\text{V}$, OUT 端接 1.8nF 电容, 特殊情况另行说明。)

参数	符号	测试条件	最小值	典型值	最大值	单位
VDD管脚						
VDD 启动电压	V_{DDON}		4.1	4.5	4.9	V
VDD 欠压保护阈值	V_{DDOFF}		3.8	4.2	4.6	V
VDD 欠压滞回值	V_{HYS}	$V_{DDON} - V_{DDOFF}$		0.3		V
VDD 静态电流	I_{VDDQ1}	$V_{DD} = 12\text{V}$, OUT输出高	0.4	0.6	1	mA
	I_{VDDQ2}	$V_{DD} = 12\text{V}$, OUT输出低	0.15	0.3	0.45	mA
IN管脚 (ENA, ENB, INA, INB)						
IN 有效高电平	V_{IH}		1.9	2.1	2.3	V
IN 有效低电平	V_{IL}		0.9	1.1	1.3	V
下拉到地电阻	R_{IPD}		80	100	130	k Ω
上拉到电源电阻	R_{IPU}		320	400	480	k Ω
输出管脚 (OUTA, OUTB)						
High-side 功率管导通电阻 ⁽¹⁾	R_{ONSRC}	$I_{SRC} = 50\text{mA}$	0.35	0.7	1.2	Ω
High-side 功率管峰值电流 ⁽¹⁾	I_{SRC}	$C_{LOAD} = 0.22\mu\text{F}$, $F_{SW} = 1\text{kHz}$	5			A
Low-side 功率管导通电阻 ⁽¹⁾	R_{ONSNK}	$I_{SNK} = -50\text{mA}$	0.2	0.4	0.8	Ω
Low-side 功率管峰值电流 ⁽¹⁾	I_{SNK}	$C_{LOAD} = 0.22\mu\text{F}$, $F_{SW} = 1\text{kHz}$	-5			A
输出下拉到地电阻 ⁽¹⁾	R_{OPD}		60	80	100	k Ω
输出上升时间 ⁽²⁾	T_r	10% to 90%VDD		6	10	ns
输出下降时间 ⁽²⁾	T_f	90% to 10%VDD		6	10	ns
输入信号到输出翻转为高电平传输延时 ⁽²⁾	T_{PLH1}		15	22	30	ns
输入信号到输出翻转为低电平传输延时 ⁽²⁾	T_{PHL1}		15	22	30	ns
使能信号到输出翻转为高电平传输延时 ⁽²⁾	T_{PLH2}		15	22	30	ns
使能信号到输出翻转为低电平传输延时 ⁽²⁾	T_{PHL2}		15	22	30	ns
两通道匹配延时 ⁽²⁾	T_M			1	2	ns

备注: (1) 设计保证

(2) 设计保证, 具体定义见图 4~8。

参数定义

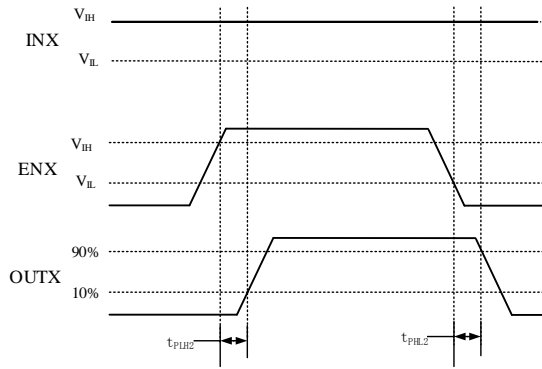


图 4 使能脚与输出波形示意图（输入输出同向）

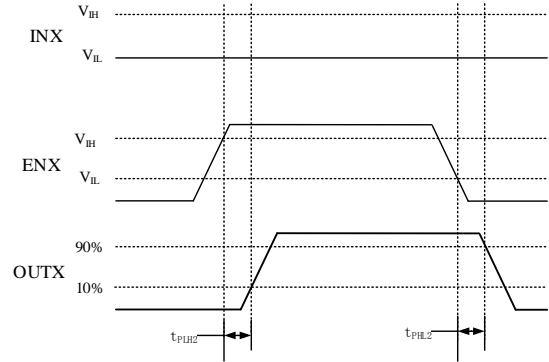


图 5 使能脚与输出波形示意图（输入输出反向）

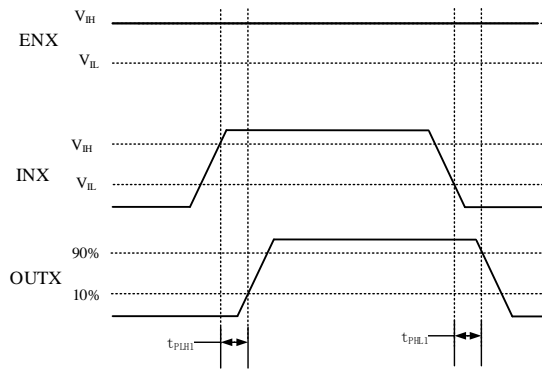


图 6 输入与输出波形示意图（输入输出同向）

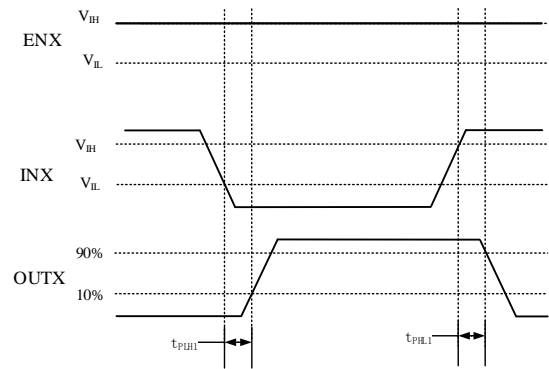


图 7 输入与输出波形示意图（输入输出反向）

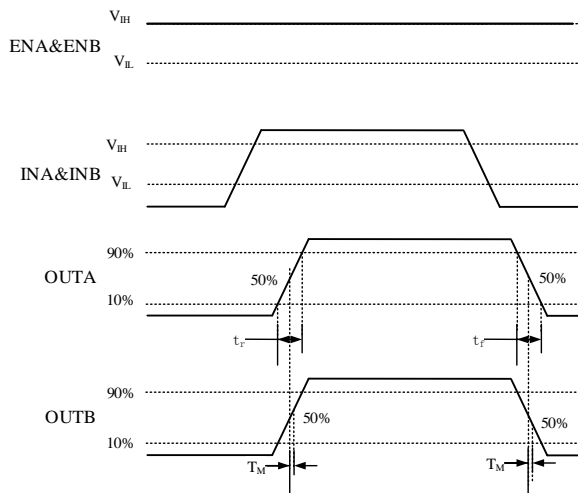
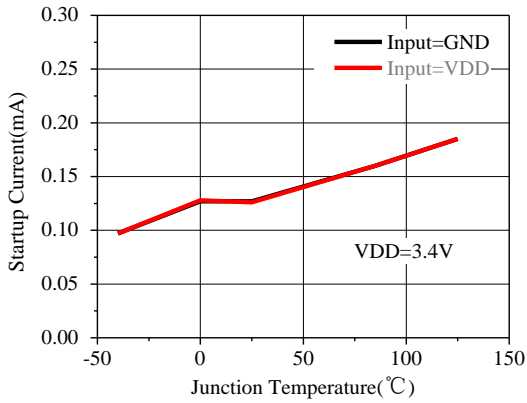
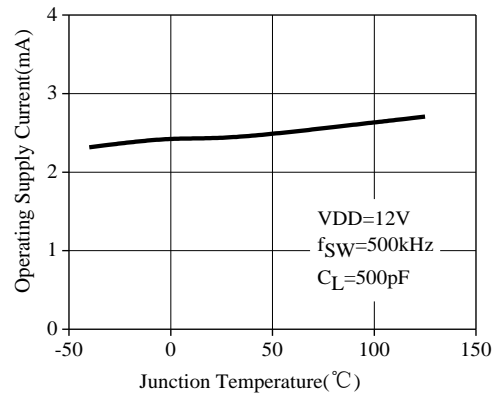


图 8 输出波形示意图（输入输出同向）

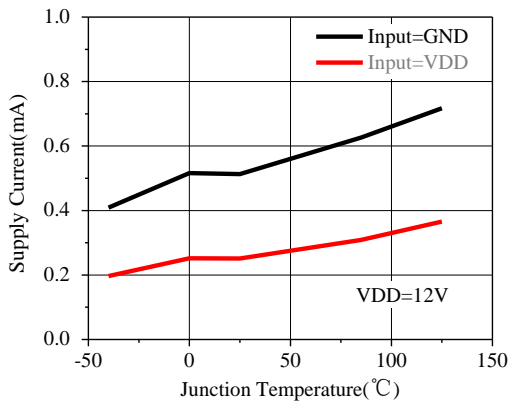
特性曲线



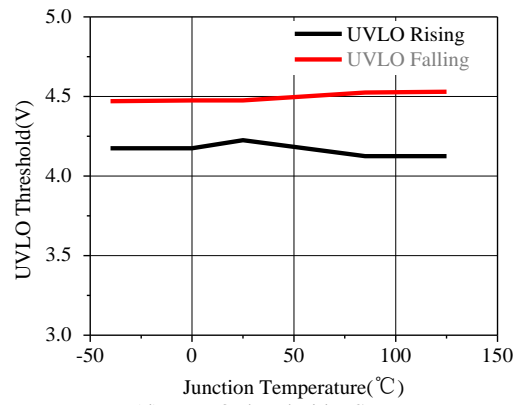
(a) Startup current VS T_j



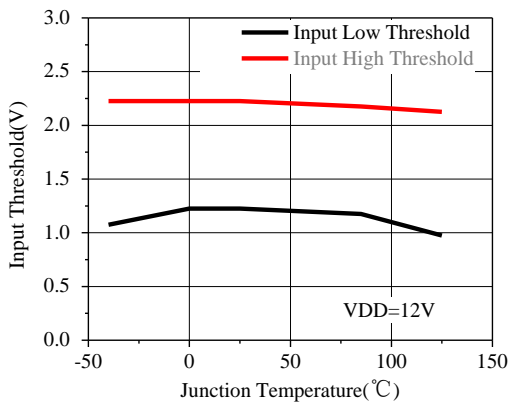
(b) Operating supply current VS T_j



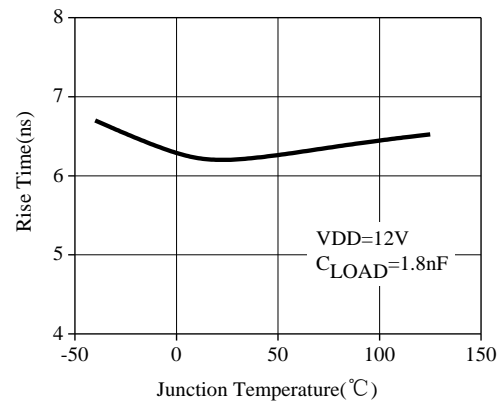
(c) Supply current VS T_j



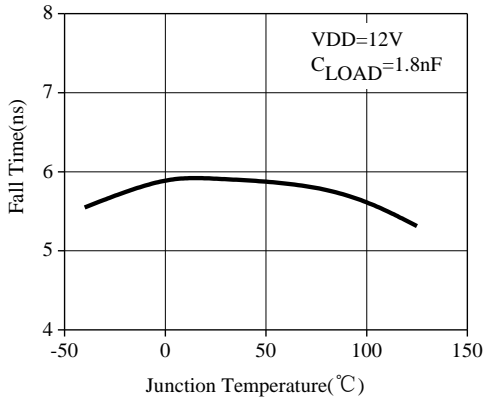
(d) UVLO threshold VS T_j



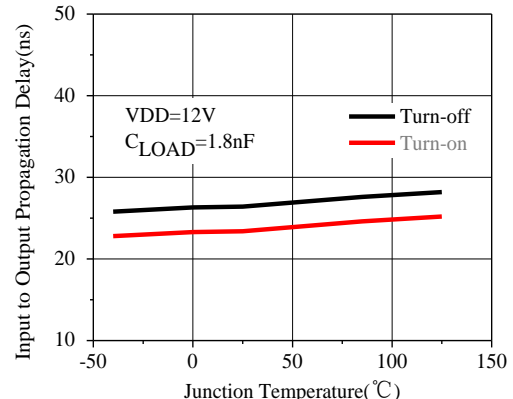
(e) Input threshold VS T_j



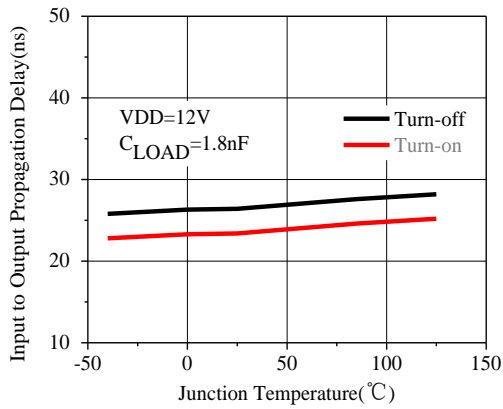
(f) Rise time VS T_j



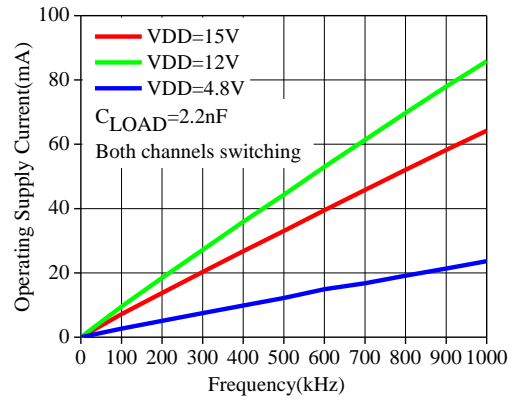
(g) Fall time VS T_j



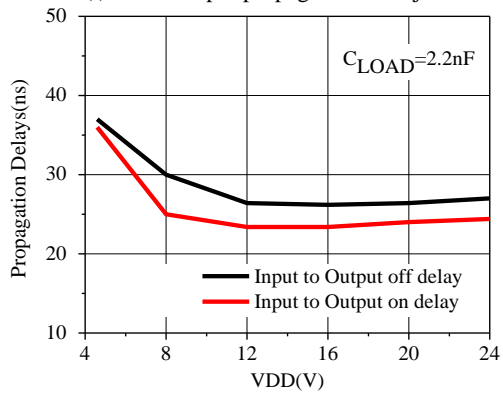
(h) Input to output propagation VS T_j



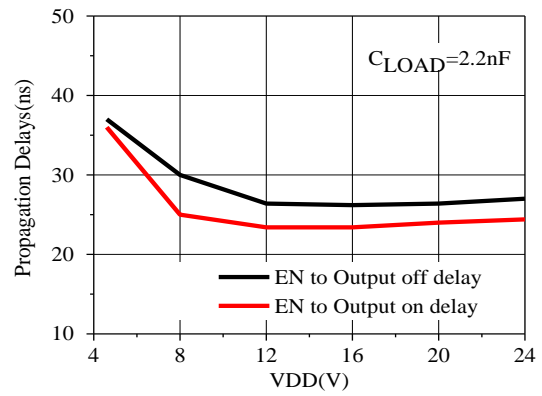
(i) EN to output propagation VS T_j



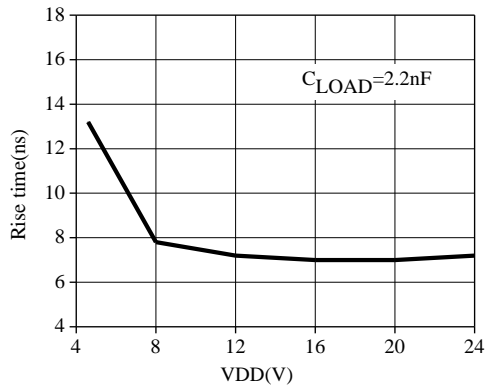
(j) Operating supply current VS Frequency



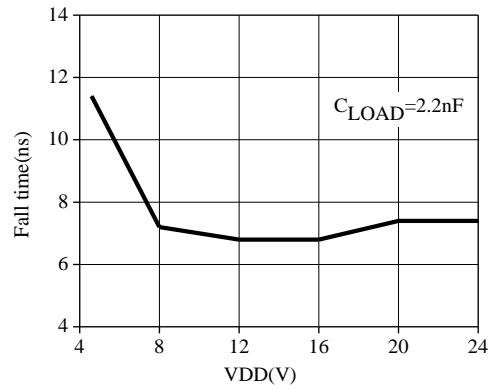
(k) Input to output propagation VS VDD



(l) EN to output propagation VS VDD



(m) Rise time VS VDD



(n) Fall time VS VDD

功能描述

FAN3224是一款双通道、高速低侧栅极驱动芯片。该芯片可以作为大功率MOSFET和IGBT的驱动开关，并且其输出可以提供高达5A拉电流和5A灌电流的峰值电流脉冲。

1. 欠压保护

FAN3224提供欠压保护功能。当VDD电压上升但仍小于VDD开启电压VDD_{ON}时，无论输入信号的状态，芯片输出保持为低电平；当VDD电压下降到小于欠压保护的阈值电压VDD_{OFF}时，无论输入信号的状态，芯片输出保持为低电平。欠压保护的典型值是4.5V，滞回值是0.3V。设置滞回值可以防止以下两种情况导致的误触发：一是低电压工作时，电源供电有噪声，导致VDD电压不稳定；二是输出翻转时的大电流会拉低VDD。

图9是VDD上电过程，使能管脚浮置或接高电位。如图所示，在VDD未上升到欠压保护阈值VDD_{ON}时，芯片输出为低电平；当VDD电压上升到VDD_{ON}时，驱动输出的幅值跟随VDD变化直到VDD稳定，且芯片输出相位与输入信号同相。

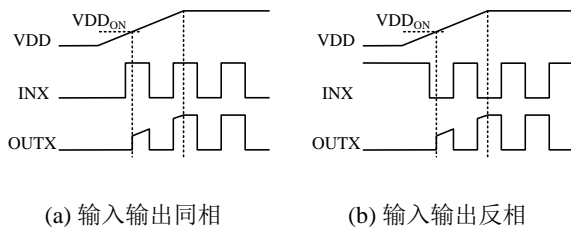


图9 上电过程

2. 输入级

双通道低侧驱动芯片FAN3224系列的输入脚INA和INB兼容TTL/CMOS电平，其有效高电平是2.1V，有效低电平是1.1V，与外加电源VDD无关。同时，该引脚的有效电平具有较宽的滞回，典型值是1V。传统的TTL电平实现时存在小于0.5V的滞回，因此输入引脚设计较宽的滞回值（1V）可以提高抗噪声干扰能力。

3. 使能功能

使能功能在栅极驱动器中是一个很重要的功能，尤其是某些特定的应用。FAN3224都提供了独立的使能脚ENA和ENB，用于单独控制每个输出通道。使能脚接高电平或浮置时，芯片输出是随输入信号变化的；使能脚接低电平时，无论输入信号是什么状态，芯片输出保持为低电平。与输入级一样，使能脚兼容5V和3.3V电平，其有效高电平是2.1V，有效低电平是1.1V，与外加电源VDD无关。该引脚的有效电平具有较宽的滞回，典型值是1V。传统的TTL电平实现时存在小于0.5V的滞回，因此设计较宽的滞回值（1V）可以提高抗噪声干扰能力。

4. 输出级

FAN3224驱动级输出采用互补CMOS结构，最高可以提供5A的拉电流和5A的灌电流。FAN3224的输出阻抗非常小，高侧PMOS的导通电阻典型值是0.7Ω，低侧NMOS的导通电阻典型值是0.4Ω。

测试波形

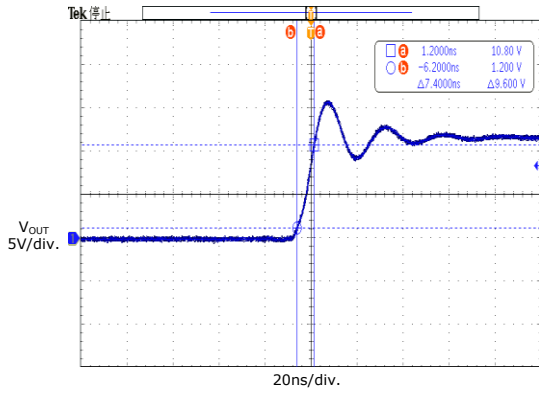


图10 输出上升时间 ($C_L=1.8nF$, $VDD=12V$)

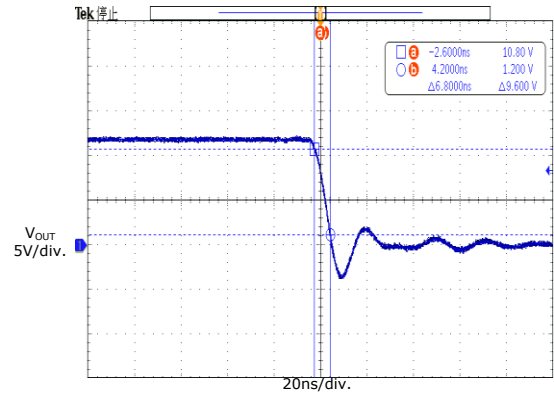


图11 输出下降时间 ($C_L=1.8nF$, $VDD=12V$)

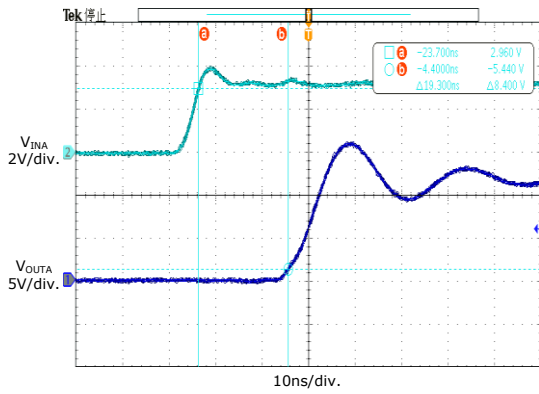


图12 输入到输出翻转为高传播延时 ($C_L=1.8nF$, $VDD=12V$)

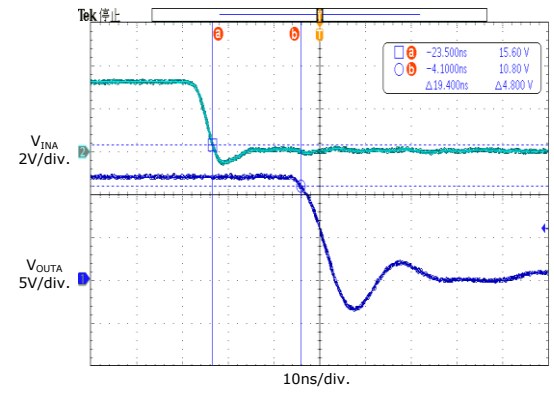


图13 输入到输出翻转为低传播延时 ($C_L=1.8nF$, $VDD=12V$)

备注：测试波形以 FAN3224 为例。

驱动电流和功耗损耗

FAN3224 工作时能够提供 5A 拉电流和灌电流，满足功率 MOSFET 或 IGBT 快速开启和关断时所需的大电流。栅极驱动器件封装的功耗取决于以下因素：

1. 功率 MOSFET 或 IGBT 所需的栅电荷
2. 开关频率
3. 外接的栅极电阻

FAN3224 具有非常小的静态电流，并且其内部逻辑可以消除驱动级输出的直通，因此在驱动级的功率损耗可以忽略不计。

以典型应用为例，当栅极驱动装置接容性负载时，从电源转移到容性负载的总能量可以用下式计算：

$$E_G = C_{LOAD} V_{DD}^2 \quad (1)$$

式中， C_{LOAD} 为其中一路的负载电容； V_{DD} 是给栅极驱动装置供电的电源。当电容充电时，有等量的功率耗散，等式 (2) 给出了总功率损失。

$$P_G = C_{LOAD} V_{DD}^2 f_{SW} \quad (2)$$

式中， f_{SW} 是开关频率。当 $V_{DD}=12V$ ， $C_{LOAD}=10nF$ ， $f_{SW}=300kHz$ 时，功率损耗计算如下：

$$P_G = 10nF \times 12V^2 \times 300kHz = 0.432W \quad (3)$$

功率 MOSFET 开启和关断需要一定的栅电荷，其开关负载被转换为与栅电荷等效的电容。这

个栅电荷包括了输入电容和电源在开通和关断两个状态切换时漏极电压摆动所需的附加电荷。大多数制造商提供了器件在特定条件下的典型和最大栅电荷规格，利用栅电荷 Q_G ，通过等效 $Q_G = C_{LOAD} V_{DD}$ 给出公式 (4)，确定了电容充电时电源的功率损耗。

$$P_G = C_{LOAD} V_{DD}^2 f_{SW} = Q_G V_{DD} f_{SW} \quad (4)$$

假设 FAN3224 驱动每个输出具有 60nC 的栅电荷 ($Q_G=60nC$ ， $V_{DD}=12V$)，与栅电荷有关的功率损耗可以计算为：

$$P_G = 2 \times 60nC \times 12V \times 300kHz = 0.432W \quad (5)$$

除了上述栅电荷相关的功耗外，内部所有电路的静态漏电也会产生额外的功率损耗，比如输入级（上拉、下拉电阻）和欠压保护等。静态功率损耗由式 (6) 给出。

$$P_G = I_{DD} V_{DD} \quad (6)$$

假设 $I_{DD}=6mA$ ，功率损耗计算为：

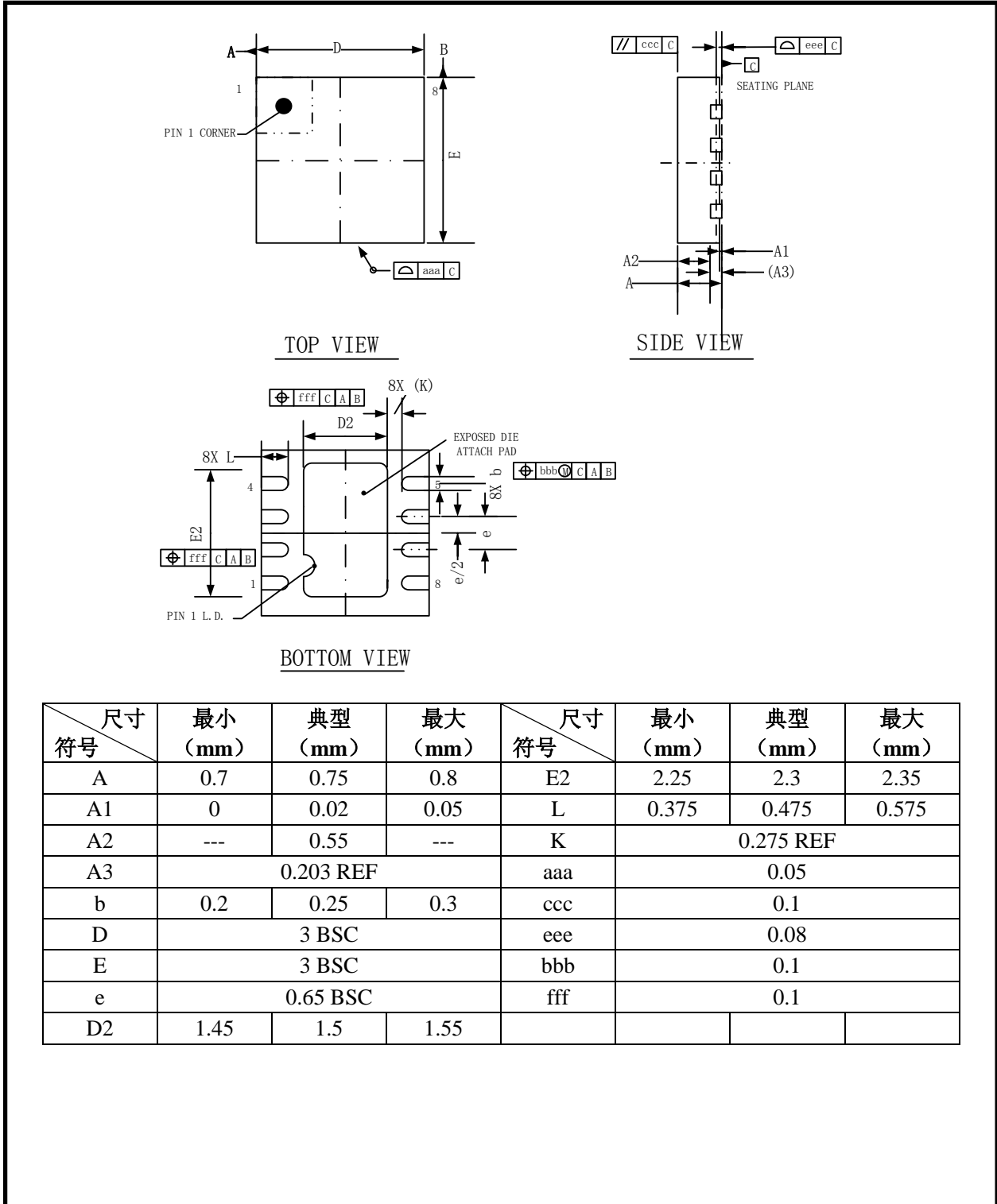
$$P_G = 6mA \times 12V = 7.2mW \quad (7)$$

显而易见，和之前计算的栅电荷相关的功率耗散相比，静态功率耗散是微不足道的。在 $V_{DD}=12V$ 时，偏置电流可以用式 (8) 计算，外加 0.6mA 的静态损耗。

$$I_{DD} \approx \frac{P_G}{V_{DD}} = \frac{0.432W}{12V} = 0.036A \quad (8)$$

封装信息

封装外形尺寸DFN3×3

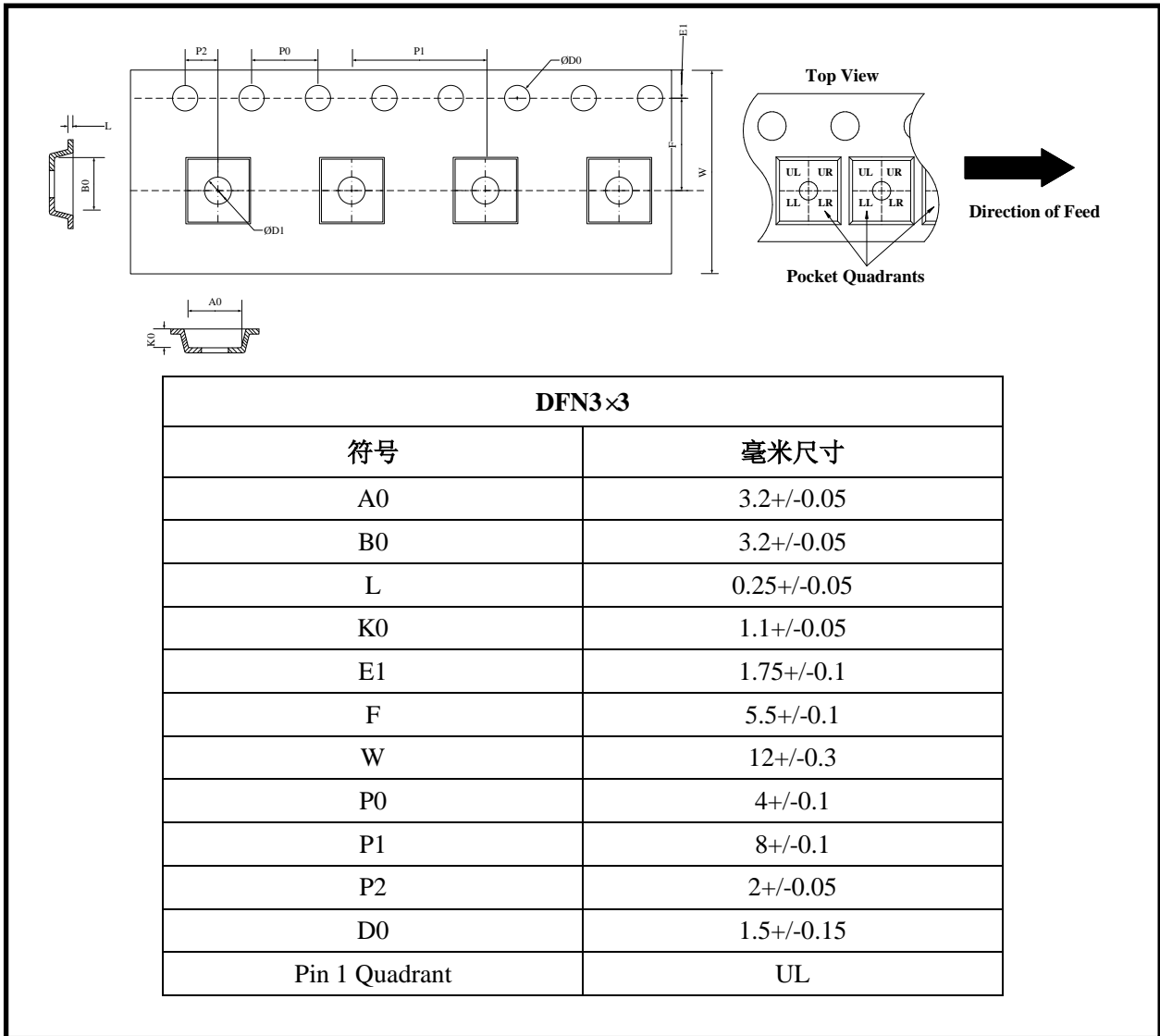


尺寸 符号	最小 (mm)	典型 (mm)	最大 (mm)	尺寸 符号	最小 (mm)	典型 (mm)	最大 (mm)
A	0.7	0.75	0.8	E2	2.25	2.3	2.35
A1	0	0.02	0.05	L	0.375	0.475	0.575
A2	---	0.55	---	K	0.275 REF		
A3	0.203 REF			aaa	0.05		
b	0.2	0.25	0.3	ccc	0.1		
D	3 BSC			eee	0.08		
E	3 BSC			bbb	0.1		
e	0.65 BSC			fff	0.1		
D2	1.45	1.5	1.55				

备注:

1. 此制图可以不经通知进行调整;
2. 器件本体尺寸不含模具飞边。

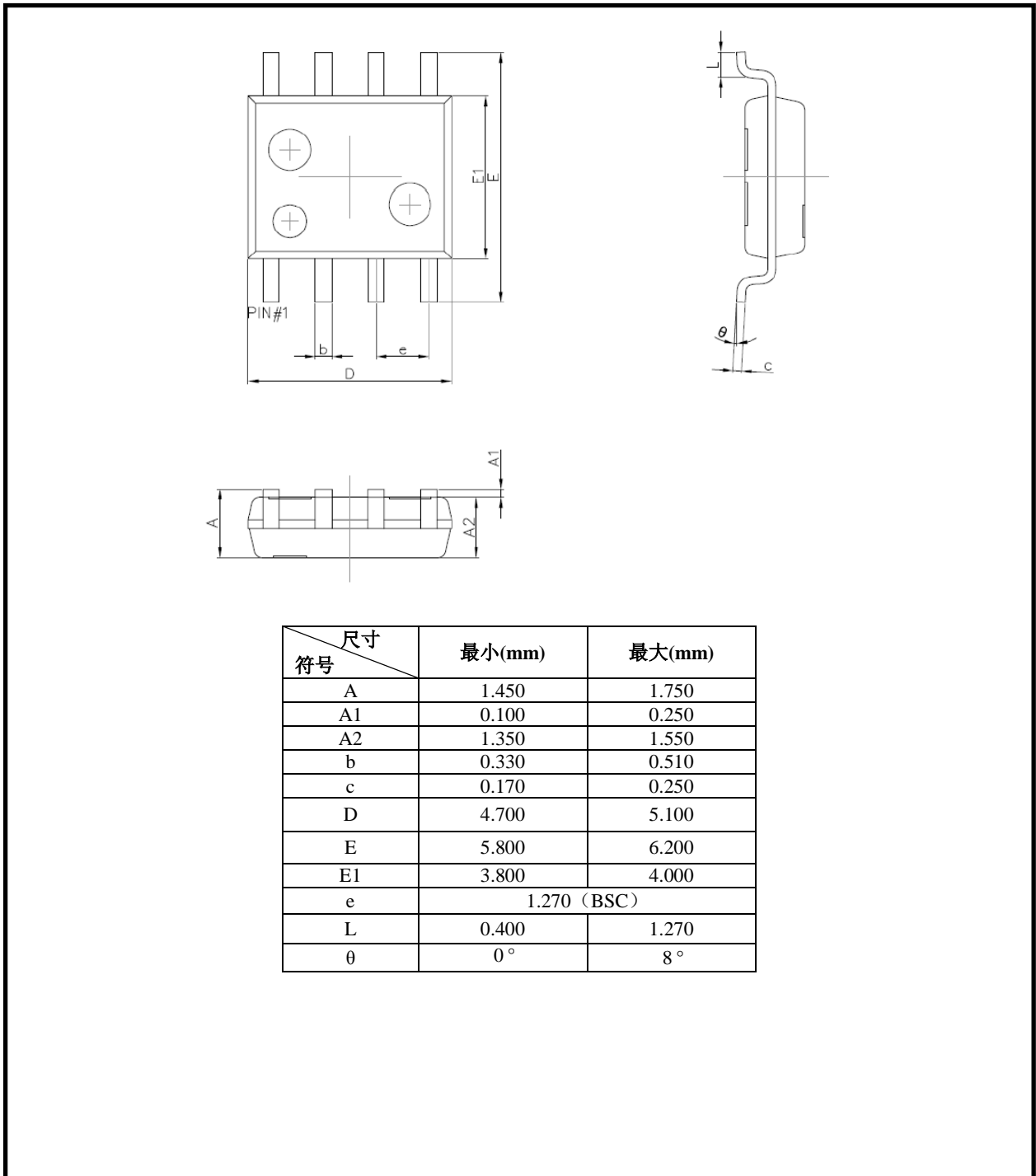
编带和卷轴信息



备注:

1. 此制图可以不经通知进行调整;
2. 所有尺寸是毫米公制的标称值;
3. 此制图并非按严格比例, 且仅供参考。客户可联系芯朋销售代表获得更多细节;
4. 此处举例仅供参考。

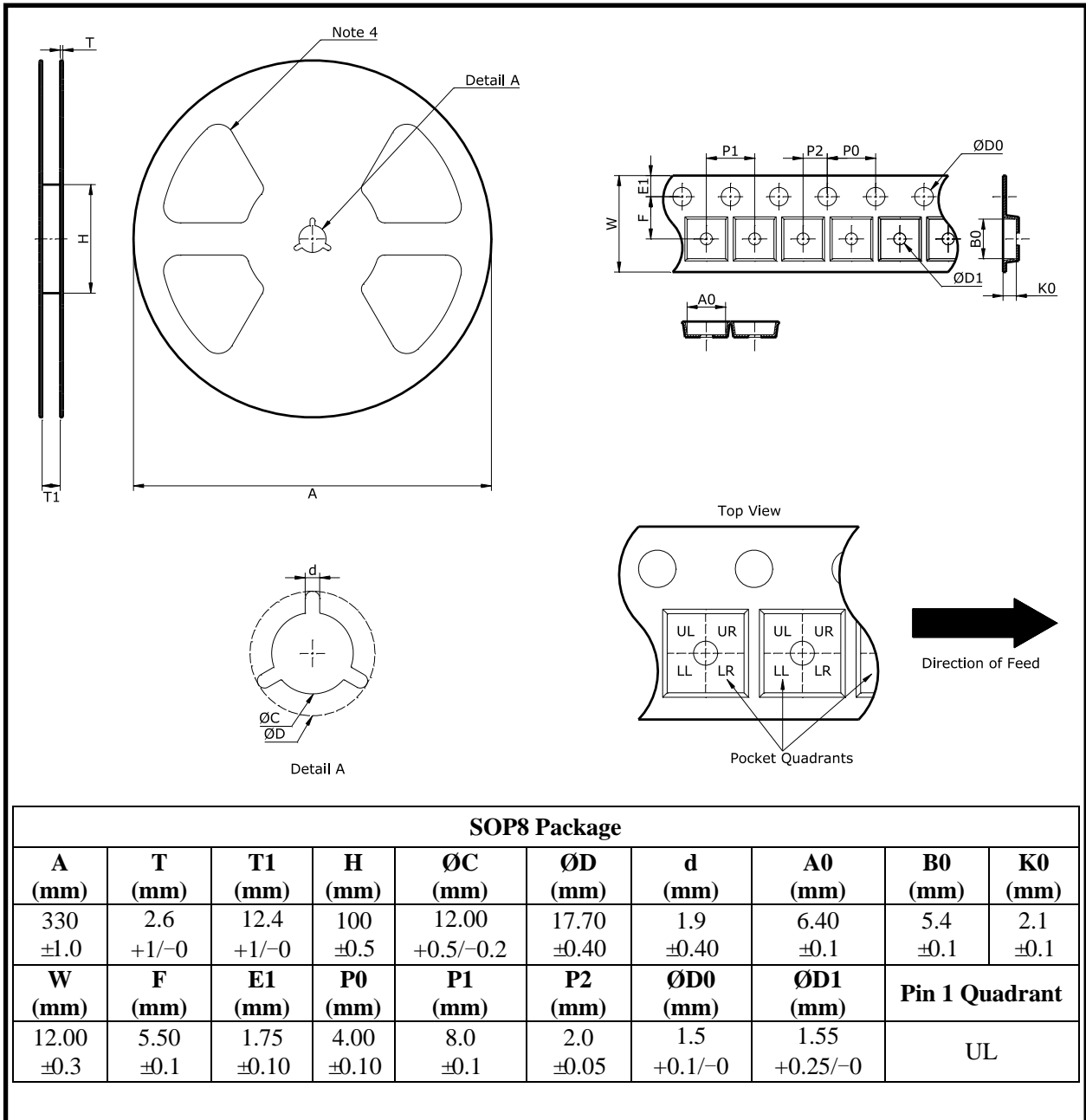
封装外形尺寸SOP8



备注:

1. 此制图可以不经通知进行调整;
2. 器件本体尺寸不含模具飞边。

编带和卷轴信息



备注:

1. 此制图可以不经通知进行调整;
2. 所有尺寸是毫米公制的标称值;
3. 此制图并非按严格比例, 且仅供参考。客户可联系芯朋销售代表获得更多细节;
4. 此处举例仅供参考。